

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2004-55763

(P2004-55763A)

(43) 公開日 平成16年2月19日(2004.2.19)

(51) Int.Cl.⁷

F I

テーマコード (参考)

H01L 27/10
G11C 16/02
G11C 16/04
G11C 16/06
H01L 21/8247

H01L 27/10 481
H01L 27/10 491
G11C 17/00 624
H01L 27/10 434
H01L 29/78 371

5B025
5F083
5F101

審査請求 有 請求項の数 12 O L (全 20 頁) 最終頁に続く

(21) 出願番号

特願2002-210094 (P2002-210094)

(22) 出願日

平成14年7月18日(2002.7.18)

(71) 出願人 000005821

松下電器産業株式会社

大阪府門真市大字門真1006番地

(74) 代理人 110000040

特許業務法人池内・佐藤アンドパートナーズ

(72) 発明者 小竹 義則

大阪府門真市大字門真1006番地 松下電器産業株式会社内

Fターム(参考) 5B025 AA01 AD04 AD05 AD07 AD08 AE08

5F083 EP02 EP23 EP42 ER03 ER09
ER14 ER19 ER22 ER30 GA01
GA12 JA36 JA39 LA03 MA06
MA16 MA19 PR43 PR53 ZA28

最終頁に続く

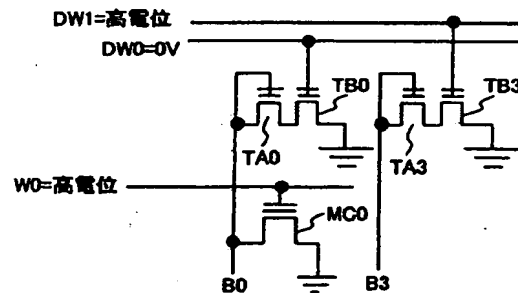
(54) 【発明の名称】 不揮発性半導体記憶装置、その駆動方法および製造方法

(57) 【要約】 (修正有)

【課題】 不揮発性半導体記憶装置からデータを高速に読み出すために、差動センスアンプに必要なリファレンス電位を高精度且つ安定に発生させる。

【解決手段】 各ビット線(B0、B3)にドレインとゲートが接続され、フローティングゲート構造を有する第1MOSFET(TA0、TA3)と、ダミーワード線(DW0、DW1)にゲートが接続され、第1MOSFETに直列に接続され、フローティングゲート構造を有する第2MOSFET(TB0、TB3)とでダミーセルを構成し、これにより、メモリセルMC0のビット線B0の電位に対するリファレンス電位となるビット線B3の電位を発生させる。

【選択図】 図2A



【特許請求の範囲】

【請求項1】

対応する第1ビット線、第1ソース線および第1ワード線に結合された不揮発性メモリセルと、対応する第2ビット線、第2ソース線および第2ワード線に結合されたダミーセルと、前記第1および第2ビット線がそれぞれ選択的に接続される差動型センスアンプとを備え、

前記ダミーセルは直列接続された第1および第2MOS型FETからなり、

前記第1MOS型FETのソース拡散層またはドレイン拡散層が前記第2ビット線に接続され、前記第2MOS型FETのソース拡散層またはドレイン拡散層が前記第2ソース線に接続され、

前記第1MOS型FETのゲート電極が前記第2ビット線または第2ソース線に接続され、前記第2MOS型FETのゲート電極が前記第2ワード線に接続されたことを特徴とする不揮発性半導体記憶装置。

【請求項2】

対応する第1ビット線、第1ソース線および第1ワード線に結合された不揮発性メモリセルと、対応する第2ビット線、第2ソース線および第2ワード線に結合されたダミーセルと、前記第1および第2ビット線がそれぞれ選択的に接続される差動型センスアンプとを備え、

前記ダミーセルは直列接続された第1および第2MOS型FETからなり、

前記第1MOS型FETのソース拡散層またはドレイン拡散層が前記第2ビット線に接続され、前記第2MOS型FETのソース拡散層またはドレイン拡散層が前記第2ソース線に接続され、

前記第2MOS型FETのゲート電極が前記第2ビット線または第2ソース線に接続され、前記第1MOS型FETのゲート電極が前記第2ワード線に接続されたことを特徴とする不揮発性半導体記憶装置。

【請求項3】

対応する第1ビット線、第1ソース線および第1ワード線に結合された不揮発性メモリセルと、対応する第2ビット線、第2ソース線および第2ワード線に結合されたダミーセルと、前記第1および第2ビット線がそれぞれ選択的に接続される差動型センスアンプとを備え、

前記ダミーセルは直列接続された第1および第2MOS型FETからなり、

前記第1MOS型FETのソース拡散層またはドレイン拡散層が前記第2ビット線に接続され、前記第2MOS型FETのソース拡散層またはドレイン拡散層が前記第2ソース線に接続され、

前記第1MOS型FETのゲート電極が前記第1MOS型FETと第2MOS型FETとを接続する拡散層に接続され、前記第2MOS型FETのゲート電極が前記第2ワード線に接続されたことを特徴とする不揮発性半導体記憶装置。

【請求項4】

対応する第1ビット線、第1ソース線および第1ワード線に結合された不揮発性メモリセルと、対応する第2ビット線、第2ソース線および第2ワード線に結合されたダミーセルと、前記第1および第2ビット線がそれぞれ選択的に接続される差動型センスアンプとを備え、

前記ダミーセルは直列接続された第1および第2MOS型FETからなり、

前記第1MOS型FETのソース拡散層またはドレイン拡散層が前記第2ビット線に接続され、前記第2MOS型FETのソース拡散層またはドレイン拡散層が前記第2ソース線に接続され、

前記第2MOS型FETのゲート電極が前記第1MOS型FETと第2MOS型FETとを接続する拡散層に接続され、前記第1MOS型FETのゲート電極が前記第2ワード線に接続されたことを特徴とする不揮発性半導体記憶装置。

【請求項5】

前記不揮発性メモリセルは、半導体基板上に該半導体基板側から順に積層形成されたゲート絶縁膜、浮遊ゲート電極、容量絶縁膜および制御ゲート電極からなる積層ゲート電極と、前記積層ゲート電極の両側の前記半導体基板表面に形成されたソース拡散層およびドレイン拡散層とから形成されることを特徴とする請求項 1 から 4 のいずれか一項記載の不揮発性半導体記憶装置。

【請求項 6】

前記不揮発性メモリセルは、半導体基板上に該半導体基板側から順に積層形成された第 1 ゲート絶縁膜、浮遊ゲート電極、容量絶縁膜および制御ゲート電極からなる積層ゲート電極と、前記積層ゲート電極の両側の前記半導体基板表面に形成されたソース拡散層およびドレイン拡散層とから形成された第 1 半導体素子と、半導体基板上に該半導体基板側から順に形成された第 2 ゲート絶縁膜およびゲート電極と、前記ゲート電極の両側の前記半導体基板表面に形成されたソース拡散層およびドレイン拡散層とから形成された第 2 半導体素子とが直列接続された構成からなることを特徴とする請求項 1 から 4 のいずれか一項記載の不揮発性半導体記憶装置。

【請求項 7】

前記第 1 および第 2 MOS 型 FET のゲート電極は、前記浮遊ゲート電極と同一の膜から形成されることを特徴とする請求項 5 または 6 記載の不揮発性半導体記憶装置。

【請求項 8】

請求項 1 から 4 のいずれか一項記載の不揮発性半導体記憶装置を駆動する方法であって、前記第 1 および第 2 ソース線を所定の電圧にした状態で前記第 1 および第 2 ビット線の電位を第 1 電位にプリチャージした後、前記第 1 ワード線に所定の電圧を印加して前記第 1 ビット線の電位を前記第 1 電位から変動させるとともに、前記第 2 ワード線に所定の電圧を印加して前記第 2 ビット線の電位を前記第 1 電位から変動させ、前記第 1 電位から変動した後の、前記第 1 ビット線の電位と前記第 2 ビット線の電位との電位差を前記差動型センスアンプによって増幅して、前記不揮発性メモリセルに記憶された情報を読み出すことを特徴とする不揮発性半導体記憶装置の駆動方法。

【請求項 9】

請求項 6 記載の不揮発性半導体記憶装置を駆動する方法であって、前記第 1 半導体素子の制御ゲート電極に第 1 電圧を印加するとともに、前記第 1 半導体素子が形成された前記半導体基板またはウェル領域に第 2 電圧を印加して、前記第 1 半導体素子の浮遊ゲート電極に蓄積された電荷を引き抜いて前記第 1 半導体素子に記憶されている情報を消去する際に、前記第 2 半導体素子のゲート電極に第 3 電圧を印加するとともに、前記第 2 ワード線に接続された前記第 1 または第 2 MOS 型 FET のゲート電極に、前記第 2 電圧と同じ電圧かまたは前記第 1 電圧と前記第 2 電圧との間の電圧である第 4 電圧を印加することを特徴とする不揮発性半導体記憶装置の駆動方法。

【請求項 10】

請求項 6 記載の不揮発性半導体記憶装置を駆動する方法であって、前記第 1 半導体素子の制御ゲート電極に第 1 電圧を印加し、前記第 1 半導体素子が形成された前記半導体基板またはウェル領域に第 2 電圧を印加するとともに、前記第 1 半導体素子のソース線に第 3 電圧を印加して、前記第 1 半導体素子の浮遊ゲート電極に電荷を注入して前記第 1 半導体素子に情報を書き込む際に、前記第 2 ワード線に接続された前記第 1 または第 2 MOS 型 FET のゲート電極に、前記第 2 電圧と同じ電圧かまたは前記第 1 電圧と前記第 2 電圧との間の電圧である第 4 電圧を印加することを特徴とする不揮発性半導体記憶装置の駆動方法。

【請求項 11】

非選択の不揮発性メモリセルにおける第 1 半導体素子の制御ゲート電極に前記第 4 電圧を印加し、前記非選択の不揮発性メモリセルにおけるソース線に第 5 電圧を印加して、前記

10

20

30

40

50

非選択の不揮発性メモリセルの浮遊ゲートに電荷が注入されないようにすることを特徴とする請求項10記載の不揮発性半導体記憶装置の駆動方法。

【請求項12】

半導体基板上の不揮発性メモリセル領域内およびMOS型FET領域内の所定領域に素子分離領域を形成する工程と、
前記半導体基板上にゲート絶縁膜を形成する工程と、
前記ゲート絶縁膜上に第1導電膜を成長する工程と、
前記不揮発性メモリセル領域内の素子分離領域の一部と前記MOS型FET領域内の素子分離領域において前記第1導電膜をエッチング除去する工程と、
前記第1導電膜上に容量絶縁膜を形成する工程と、
前記容量絶縁膜上に第2導電膜を成長させる工程と、
前記不揮発性メモリセル領域内の所定領域において前記第2導電膜と容量絶縁膜と第1導電膜とをエッチング除去して、前記不揮発性メモリセルのゲート電極とワード線を形成する工程と、
前記MOS型FET領域内の前記第1および第2導電膜が積層された所定領域において前記第2導電膜をエッチング除去して、前記第1導電膜を露出させる工程と、
前記不揮発性メモリセルのソース及びドレイン拡散層を形成する工程と、
前記MOS型FETのソース及びドレイン拡散層を形成する工程と、
前記半導体基板上に層間絶縁膜を形成する工程と、
前記層間絶縁膜中に、前記不揮発性メモリセルのドレイン拡散層に接続する第1コンタクト孔と、前記MOS型FETのソースまたはドレイン拡散層に接続する第2コンタクト孔と、前記MOS型FET領域内において露出された前記第1導電膜に接続する第3コンタクト孔とを形成する工程と、
前記第1、第2および第3コンタクト孔を電氣的に接続する配線を形成する工程とを備えたことを特徴とする不揮発性半導体記憶装置の製造方法。

10

20

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、不揮発性半導体記憶装置、その駆動方法および製造方法に関する。

【0002】

【従来の技術】

従来の不揮発性半導体記憶装置は、例えば特開平1-296495号公報（従来例1）や特開平6-267286号公報（従来例2）に開示されているように、高速読出しが必要な大容量フラッシュメモリとして使用されている。

30

【0003】

以下、上記従来例1の構成および動作について、図12および図13を参照しながら説明する。なお、従来例1の不揮発性半導体記憶装置におけるフラッシュメモリセルはスプリットゲート型であり、且つ、ソースバイアス印加で読み出しが行われるが、ここでは説明を簡単にするために、従来例1の構造とは異なり、フラッシュメモリセルをスタックゲート型とし、且つ、ドレインバイアス印加で読み出しを行う場合について説明する。この構造上の違いは、本発明の解決課題に関するものではない。

40

【0004】

図12は、従来例1相当の不揮発性半導体記憶装置の構成例を示す回路図である。図12において、従来例1相当の不揮発性半導体記憶装置は、センスアンプ1、ロウデコーダ2、カラムデコーダ3、プリチャージ用MOSトランジスタ24、25、26、27、カラムゲートMOSトランジスタ28、29、ブロックトランジスタQ0、Q1、Q2、Q3、ダミーセルDM0、DM1、DM2、DM3を備える。MC0は読出し対象のメモリセルである。メモリセルアレイは4本のワード線W0、W1、W2、W3と4本のビット線B0、B1、B2、B3に接続されている。さらに、ブロックトランジスタQ0～Q3のゲートにはそれぞれ配線BLT0、BLT1、BLT2、BLT3が接続され、ダミーセ

50

ルDM0、DM1にはダミーワード線DW0が、ダミーセルDM2、DM3にはダミーワード線DW1が接続されている。

【0005】

このように構成された不揮発性半導体記憶装置の読み出し手段によれば、メモリーセルMC0を選択すると、BLT0とBLT3の電位が高電位になり、Q0とQ3が導通して、2本のビット線B0とB3がセンスアンプ1に接続される。ビット線B0とB3を同じ電位、例えば1.0～1.5V程度であるVbitにプリチャージした後に、ダミーワード線DW1とワード線W0を高電位にする。これにより、メモリーセルMC0とダミーセルDM3が選択される。

【0006】

このとき、ビット線B3の電位は、ダミーセルDM3を介して接地電位に流れる電流によってVbitから0Vまで徐々に低下する。一方、ビット線B0の電位は、メモリーセルMC0が消去状態である場合、MC0を介して接地電位に流れる電流によってVbitから0Vまで急速に低下し、メモリーセルMC0が書き込み状態である場合は、Vbitから僅かにしか変化しない。

【0007】

図13は、ビット線B0とビット線B3の電位の時間変化を示す図である。図13において、ビット線B3の電位とビット線B0の電位との差が適当な大きさになる時点Tsにおいて、センスアンプ1のφ1の電位を持ち上げるのとほぼ同時にBLT0とBLT3の電位を低電位にすることでQ0とQ3が非導通になり、その後さらにセンスアンプ1のφ2を0Vにする。

【0008】

この結果、センスアンプ1により、ビット線B3とビット線B0の電位差が電源電圧の振幅まで増幅されて、カラムゲートMOSトランジスタ28と29を介して入出力線I/O、*I/O（ここで、*I/Oには、I/Oの反転信号が入出力される）に出力される。

【0009】

また、図示しないが、従来例2の不揮発性半導体記憶装置では、複数個のメモリーセルを直列接続構造にすることによってダミーセルが構成されており、ダミーセルの電流駆動能力はほぼ確実にメモリーセルの半分以下にでき、従来例1の不揮発性半導体記憶装置よりもリファレンス電位を高精度に発生させることができる。

【0010】

【発明が解決しようとする課題】

上記した従来例1のような差動型センスアンプのリファレンス電位（ビット線B3の電位）は、図13に示すように、メモリーセルMC0のデータが読み出されるビット線B0の電位に対して、Vbitと0Vの中間程度の電位である必要がある。

【0011】

しかしながら、図14Aに示すように、ダミーセルDM3の電流駆動能力を、ビット線の容量、抵抗を十分駆動できるほど高く設定すると、読み出しが時点Tsより遅くなると、ビット線B3の電位はダミーセルDM3を介して流れる電流によって急速に0Vに近づく（時点Tf）。このため、メモリーセルMC0が消去状態である場合のビット線B0の電位とビット線B3の電位との差がほとんどなくなり、僅かなノイズがあっても、差動型センスアンプ1は、消去状態にあるメモリーセルMC0が書き込み状態にあると、誤読み出しする可能性がある。

【0012】

一方、図14Bに示すように、ダミーセルDM3の電流駆動能力を低く設定すると、図14Aに示す場合とは逆に、書き込み状態にあるメモリーセルMC0消去状態にあると、誤読み出しする可能性がある。

【0013】

特に、ビット線の容量が、ビット線に共通に接続されているメモリーセルの数や、その書き込み状態に依存して変化したり、工程ばらつきによってチップ間で異なる場合には、リフ

10

20

30

40

50

アレンス電位はダミーセルの電流駆動能力とビット線の容量及び抵抗とによってばらつくことになり、センスアンプの設計が困難になるという問題がある。

【0014】

また、ダミーセルとして正規のメモリセルと同じ構造を採用する場合には、ダミーセルの電流を正規セルより小さくするためにダミーセルのワード線電圧を制御するなどの手段を使用しなければならない、正規メモリセルの読出しゲート電圧とは別の電圧を発生させなければならないという問題も発生する。

【0015】

一方、ダミーセルが正規メモリセルと異なる構造、例えば、上記の従来例2の不揮発性半導体記憶装置のように、ダミーセルが複数のメモリセルを直列接続した構造であったり、あるいはダミーセルのゲート長を正規メモリセルより長くすることによって、ダミーセルの電流駆動能力を正規メモリセルの半分以上にする場合には、正規メモリセルのワード線よりもダミーワード線の容量が2倍以上大きくなり、その結果、読み出し速度が遅延する、あるいはそれを防止するためにダミーワード線を駆動する周辺回路の電流駆動能力を高くしなければならないという問題もある。

【0016】

また、上記従来例とは異なり、ダミーセルが不揮発性半導体記憶装置でない場合でも、同様に、ダミーセルの電流駆動能力を正規メモリセルに対して一定の比率で設計することになり、ビット線の容量や抵抗のばらつきによって、リファレンス電位がばらつくという問題がある。

【0017】

また、従来例2の不揮発性半導体記憶装置のように、ダミーセルが複数のメモリセルを直列接続した構造をとることで、リファレンスビット線は特別なものになり、チップ面積が増大し、且つ、リファレンス用のビット線の容量は正規メモリセルアレイとは異なってしまうという問題もある。

【0018】

また、上記従来例のように、ダミーセルが不揮発性半導体記憶装置であれば、その経時変動を計算に入れてセンスアンプの設計をしなければならない、高速読み出しを阻害するという問題もある。

【0019】

本発明は、上記の問題点に鑑みてなされたものであり、その目的は、不揮発性半導体記憶装置からデータを高速に読み出すために、差動センスアンプに必要なリファレンス電位を高精度且つ安定に発生させることが可能な不揮発性半導体記憶装置、その駆動方法および製造方法を提供することにある。

【0020】

【課題を解決するための手段】

前記の目的を達成するために、本発明の第1の不揮発性半導体記憶装置は、対応する第1ビット線、第1ソース線および第1ワード線に結合された不揮発性メモリセルと、対応する第2ビット線、第2ソース線および第2ワード線に結合されたダミーセルと、第1および第2ビット線がそれぞれ選択的に接続される差動型センスアンプとを備え、ダミーセルは直列接続された第1および第2MOS型FETからなり、第1MOS型FETのソース拡散層またはドレイン拡散層が第2ビット線に接続され、第2MOS型FETのソース拡散層またはドレイン拡散層が第2ソース線に接続され、第1MOS型FETのゲート電極が第2ビット線または第2ソース線に接続され、第2MOS型FETのゲート電極が第2ワード線に接続されたことを特徴とする。

【0021】

また、本発明の第2の不揮発性半導体記憶装置は、対応する第1ビット線、第1ソース線および第1ワード線に結合された不揮発性メモリセルと、対応する第2ビット線、第2ソース線および第2ワード線に結合されたダミーセルと、第1および第2ビット線がそれぞれ選択的に接続される差動型センスアンプとを備え、ダミーセルは直列接続された第1お

10

20

30

40

50

よび第2MOS型FETからなり、第1MOS型FETのソース拡散層またはドレイン拡散層が第2ビット線に接続され、第2MOS型FETのソース拡散層またはドレイン拡散層が第2ソース線に接続され、第2MOS型FETのゲート電極が第2ビット線または第2ソース線に接続され、第1MOS型FETのゲート電極が第2ワード線に接続されたことを特徴とする。

【0022】

また、本発明の第3の不揮発性半導体記憶装置は、対応する第1ビット線、第1ソース線および第1ワード線に結合された不揮発性メモリセルと、対応する第2ビット線、第2ソース線および第2ワード線に結合されたダミーセルと、第1および第2ビット線がそれぞれ選択的に接続される差動型センスアンプとを備え、ダミーセルは直列接続された第1および第2MOS型FETからなり、第1MOS型FETのソース拡散層またはドレイン拡散層が第2ビット線に接続され、第2MOS型FETのソース拡散層またはドレイン拡散層が第2ソース線に接続され、第1MOS型FETのゲート電極が第1MOS型FETと第2MOS型FETとを接続する拡散層に接続され、第2MOS型FETのゲート電極が第2ワード線に接続されたことを特徴とする。

10

【0023】

また、本発明の第4の不揮発性半導体記憶装置は、対応する第1ビット線、第1ソース線および第1ワード線に結合された不揮発性メモリセルと、対応する第2ビット線、第2ソース線および第2ワード線に結合されたダミーセルと、第1および第2ビット線がそれぞれ選択的に接続される差動型センスアンプとを備え、ダミーセルは直列接続された第1および第2MOS型FETからなり、第1MOS型FETのソース拡散層またはドレイン拡散層が第2ビット線に接続され、第2MOS型FETのソース拡散層またはドレイン拡散層が第2ソース線に接続され、第2MOS型FETのゲート電極が第1MOS型FETと第2MOS型FETとを接続する拡散層に接続され、第1MOS型FETのゲート電極が第2ワード線に接続されたことを特徴とする。

20

【0024】

また、本発明の第1から第4の不揮発性半導体記憶装置において、不揮発性メモリセルは、半導体基板上に該半導体基板側から順に積層形成されたゲート絶縁膜、浮遊ゲート電極、容量絶縁膜および制御ゲート電極からなる積層ゲート電極と、積層ゲート電極の両側の半導体基板表面に形成されたソース拡散層およびドレイン拡散層とから形成されることが好ましい。

30

【0025】

また、本発明の第1から第4の不揮発性半導体記憶装置において、不揮発性メモリセルは、半導体基板上に該半導体基板側から順に積層形成された第1ゲート絶縁膜、浮遊ゲート電極、容量絶縁膜および制御ゲート電極からなる積層ゲート電極と、積層ゲート電極の両側の半導体基板表面に形成されたソース拡散層およびドレイン拡散層とから形成された第1半導体素子と、半導体基板上に該半導体基板側から順に形成された第2ゲート絶縁膜およびゲート電極と、ゲート電極の両側の半導体基板表面に形成されたソース拡散層およびドレイン拡散層とから形成された第2半導体素子とが直列接続された構成からなることが好ましい。

40

【0026】

また、本発明の第1の不揮発性半導体記憶装置の駆動方法は、本発明の第1から第4の不揮発性半導体記憶装置を駆動する方法であって、第1および第2ソース線を所定の電圧にした状態で第1および第2ビット線の電位を第1電位にプリチャージした後、第1ワード線に所定の電圧を印加して第1ビット線の電位を第1電位から変動させるとともに、第2ワード線に所定の電圧を印加して第2ビット線の電位を第1電位から変動させ、第1電位から変動した後の、第1ビット線の電位と前記第2ビット線の電位との電位差を差動型センスアンプによって増幅して、不揮発性メモリセルに記憶された情報を読み出すことを特徴とする。

【0027】

50

また、本発明の第2の不揮発性半導体記憶装置の駆動方法は、本発明の第1から第4の不揮発性半導体記憶装置を駆動する方法であって、不揮発性メモリセルが第1半導体素子と第2半導体素子の直列接続構造となっている場合において、第1半導体素子の制御ゲート電極に第1電圧を印加するとともに、第1半導体素子が形成された半導体基板またはウェル領域に第2電圧を印加して、第1半導体素子の浮遊ゲート電極に蓄積された電荷を引き抜いて第1半導体素子に記憶されている情報を消去する際に、第2半導体素子のゲート電極に第3電圧を印加するとともに、第2ワード線に接続された第1または第2MOS型FETのゲート電極に、第2電圧と同じ電圧かまたは第1電圧と第2電圧との間の電圧である第4電圧を印加することを特徴とする。

【0028】

また、本発明の第3の不揮発性半導体記憶装置の駆動方法は、本発明の第1から第4の不揮発性半導体記憶装置を駆動する方法であって、不揮発性メモリセルが第1半導体素子と第2半導体素子の直列接続構造となっている場合において、第1半導体素子の制御ゲート電極に第1電圧を印加し、第1半導体素子が形成された半導体基板またはウェル領域に第2電圧を印加するとともに、第1半導体素子のソース線に第3電圧を印加して、第1半導体素子の浮遊ゲート電極に電荷を注入して第1半導体素子に情報を書き込む際に、第2ワード線に接続された第1または第2MOS型FETのゲート電極に、第2電圧と同じ電圧かまたは第1電圧と第2電圧との間の電圧である第4電圧を印加することを特徴とする。

【0029】

また、本発明の第3の不揮発性半導体記憶装置の駆動方法において、非選択の不揮発性メモリセルにおける第1半導体素子の制御ゲート電極に第4電圧を印加し、非選択の不揮発性メモリセルにおけるソース線に第5電圧を印加して、非選択の不揮発性メモリセルの浮遊ゲートに電荷が注入されないようにすることが好ましい。

【0030】

また、本発明の不揮発性半導体記憶装置の製造方法は、半導体基板上の不揮発性メモリセル領域内およびMOS型FET領域内の所定領域に素子分離領域を形成する工程と、半導体基板上にゲート絶縁膜を形成する工程と、ゲート絶縁膜上に第1導電膜を成長させる工程と、不揮発性メモリセル領域内の素子分離領域の一部とMOS型FET領域内の素子分離領域において第1導電膜をエッチング除去する工程と、第1導電膜上に容量絶縁膜を形成する工程と、容量絶縁膜上に第2導電膜を成長させる工程と、不揮発性メモリセル領域内の所定領域において第2導電膜と容量絶縁膜と第1導電膜とをエッチング除去して、不揮発性メモリセルのゲート電極とワード線を形成する工程と、MOS型FET領域内の第1および第2導電膜が積層された所定領域において第2導電膜をエッチング除去して、第1導電膜を露出させる工程と、不揮発性メモリセルのソース及びドレイン拡散層を形成する工程と、MOS型FETのソース及びドレイン拡散層を形成する工程と、半導体基板上に層間絶縁膜を形成する工程と、層間絶縁膜中に、不揮発性メモリセルのドレイン拡散層に接続する第1コンタクト孔と、MOS型FETのソースまたはドレイン拡散層に接続する第2コンタクト孔と、MOS型FET領域内において露出された第1導電膜に接続する第3コンタクト孔とを形成する工程と、第1、第2および第3コンタクト孔を電氣的に接続する配線を形成する工程とを備えることを特徴とする。

【0031】

以上のような、本発明の不揮発性半導体記憶装置、その駆動方法および製造方法によれば、ビット線にはそれぞれ2個のMOSFETが接続されており、読み出し動作時は、2本のビット線をセンスアンプに接続して2本のビット線をプリチャージした後に、2本のビット線の一方は2個のMOSFETの一方をオン状態にしながら2個のMOSFETの他方の閾値電圧で飽和するリファレンス電位を発生させ、2本のビット線の他方は2個のMOSFETの一方をオフ状態にするとともに、所望のメモリセルの電流の大小によってプリチャージレベルからビット線電位が変動する。

【0032】

したがって、ビット線電位が十分に変動したタイミングでセンスアンプを活性化して、セ

10

20

30

40

50

ンスアンプにより、ビット線電位とリファレンス電位との電位差を差動増幅して検知する。リファレンス電位は、プリチャージレベル以下であり且つ2個のMOSFETの一方の閾値電圧以下には殆ど下がらないため、センスアンプを活性化するタイミングの設定が容易になる。また、2個のMOSFETは不揮発性半導体記憶装置とは異なり、閾値の経時変動は殆どなく、ばらつきもメモリセルに比べて小さい。

【0033】

また、ダミーセルを構成する2個のMOSFETをメモリセルと同様の構造とし、フローティングゲートに相当する第1多結晶シリコンに電気的接続を可能にした構造にしている。この構造によれば、ダミーセルをメモリセルアレイと同じ領域に形成できるためにビット線の配線容量を増加させることは殆どない。また、ダミーセルを構成する2個のMOSFETの一方のゲート長と幅を正規メモリセルと同じにすることが可能であり、正規メモリセルに対するリファレンス電位の発生タイミングのズレを抑制できる。特に、第1多結晶シリコンを加工することで、ダミーセルを構成する2個のMOSFETはメモリセルと同様の形状を得ることができる。

【0034】

【発明の実施の形態】

以下、本発明の好適な実施形態について、図面を参照しながら詳細に説明する。なお、図面を通じて、同じ構成および機能を有する部分については、同一の符号および記号を付す。

【0035】

(第1の実施形態)

図1は、本発明の第1の実施形態に係る不揮発性半導体記憶装置の構成例を示す回路図である。

【0036】

図1において、TA0、TA1、TA2、TA3は、フローティングゲートに相当する第1多結晶シリコンに対する電気的接続を可能にした、ダミーセルを構成する第1MOSFETで、TB0、TB1、TB2、TB3はフローティングゲートに相当する第1多結晶シリコンに対する電気的接続を可能にした、ダミーセルを構成する第2MOSFETである。第1MOSFET(TA0~TA3)と第2MOSFET(TB0~TB3)は、各ビット線B0~B3に直列接続されている。その他の構成は、図12に示す従来例のそれと同じである。

【0037】

次に、このように構成された不揮発性半導体記憶装置の駆動方法について、図1に加えて、図2Aおよび図2Bを参照して説明する。

【0038】

図2Aおよび図2Bは、それぞれ、図1に示す不揮発性半導体記憶装置の読み出し駆動方法について説明するための、ダミーセルの部分構成を示す回路図およびビット線電位の時間変化を示す図である。

【0039】

読み出し時には、従来例と同様に、メモリセルMC0を選択すると、BLT0とBLT3の電位が高電位になりQ0とQ3が導通して、2本のビット線B0とB3がセンスアンプ1に接続される。ビット線B0とB3を同じ電位、例えば1.0~1.5V程度であるVbitにプリチャージした後に、ダミーワード線DW1とワード線W0の電位を高電位にする(図2A)。

【0040】

このとき、ビット線B3の電位は、図2Bに示すように、ダミーセルを構成する第1MOSFET(TA3)と第2MOSFET(TB3)を介して接地電位に流れるチャネル電流によってVbitから徐々に低下するが、ビット線B3の電位が第1MOSFET(TA3)の閾値電圧Vtfgに達すると、第1MOSFET(TA3)に流れるチャネル電流が著しく低下する。このため、ビット線B3電位の低下速度が著しく鈍り、ビット線B

10

20

30

40

50

3の電位は微小リーク電流により極めて徐々に低下する。

【0041】

一方、ビット線B0の電位に関しては、従来例と同様で、図2Bに示すように、メモリセルMC0が消去状態である場合、メモリセルMC0を介して接地電位に流れる電流によって、ビット線B0の電位はV_{bit}から0Vまで急速に低下し、メモリセルMC0が書き込み状態である場合は、ビット線B0の電位はV_{bit}から僅かにしか変化しない。

【0042】

ビット線B3の電位とビット線B0の電位の差が適当な大きさになる時点T_s (図2B)において、センスアンプ1のφ1の電位を持ち上げるのとほぼ同時にBLT0とBLT3の電位を低電位にしてQ0とQ3を非導通にして、その後さらにセンスアンプ1のφ2を0Vにする。 10

【0043】

この結果、センスアンプ1により、ビット線B3とビット線B0の電位差が電源電圧まで増幅されて、カラムゲートMOSTランジスタ28と29を介して入出力線I/O、*I/O (ここで、*I/Oには、I/Oの反転信号が入出力される) に出力される。

【0044】

ここで、従来例と異なるのは、ビット線B3の電位が第1MOSFET (TA3)の閾値電圧V_{th}に達した後は、その低下が極めてわずかになるために、一定値に近い飽和状態になり、読み出しのタイミングが遅くなり、時点T_sよりも遅くセンスアンプ1を動作させても誤読出しになりにくい。 20

【0045】

次に、図1に示す不揮発性半導体記憶装置の構造について、図3および図4を参照して説明する。図3および図4は、それぞれ、図1の不揮発性半導体記憶装置における主要部分の構造を示す断面図および平面図である。

【0046】

図3において、4はPウエル、5は素子分離領域、6はゲート酸化膜、7は第1多結晶シリコン、8は容量絶縁膜、9は第2多結晶シリコン、10はN型拡散層、11はサイドウォール、13はビット線、17はタングステンまたはアルミニウムからなるコンタクト、18はフローティングゲート、19はコントロールゲートを示している。

【0047】

図4において、14は拡散領域、15は第1多結晶シリコン7の開口領域、16a、16bは第2多結晶シリコン9の開口領域を示している。図3において、各ビット線13に直列接続された2個のMOSFET (TA0、TB0)はフローティングゲート18を形成する第1多結晶シリコン7に対する電氣的接続を可能にした構造になっている。 30

【0048】

第1MOSFET (TA0~TA3をまとめてTAと称する)のゲート電極である第1多結晶シリコン7には、図4に示すように、各ビット線13毎にコンタクト17を形成する必要がある、第1多結晶シリコン7の開口領域15をメモリセルの素子分離領域5だけでなく第1MOSFETの素子分離領域5にも設けることで、各ビット線13毎にゲート電極を形成することができる。 40

【0049】

第1多結晶シリコン7の開口領域15を第1MOSFET (TA)の素子分離領域5にも設けた後に、容量絶縁膜8と第2多結晶シリコン9を形成し、ワード線を形成する際に同時に第1MOSFET (TA)と第2MOSFET (TB0~TB3をまとめてTBと称する)についても第1多結晶シリコン7と容量絶縁膜8と第2多結晶シリコン9をエッチングする。その後、ソース、ドレインとなるN型拡散層を形成した後に、第2多結晶シリコンに開口領域16aと16bを形成する。

【0050】

その後、図4に示すように、コンタクト17を形成することで、第1MOSFET (TA)と第2MOSFET (TB)は第1多結晶シリコン7に電氣的接続が可能になり、第1 50

多結晶シリコン7は第1MOSFET(TA)と第2MOSFET(TB)のゲート電極として機能する。

【0051】

なお、第2MOSFET(TB)については、そのゲート電極は全ビット線共通でもよいので、第1多結晶シリコン7の開口領域15はなくてもよく、第2多結晶シリコンの開口領域16bとして共通に形成すればよい。

【0052】

以上のように、本実施形態によれば、メモリセルアレイ領域において、各ビット線毎に、ダミーセルを構成する、フローティングゲートに電氣的に接続可能な直列接続された2個のMOSFETを設けることで、リファレンス電位を一定値に近い飽和状態にすることができる。これにより、各ビット線にノイズに強い差動型センスアンプ用のリファレンス電位を発生させることで、高速読出しを実現することができる。

10

【0053】

なお、本実施形態においては、各ビット線毎に、2個のMOSFETをフローティングゲートに電氣的に接続可能なMOSFETとしたが、通常のMOSFETでもよい。

【0054】

なお、本実施形態では、各ビット線における2個のフローティングゲートに電氣的に接続可能なMOSFETは、図2Aに示す構造としたが、図5に示すような構造でもよく、あるいは図6A、図7、図8に示すようなソースバイアス読出し構造でもよい。図6Aに示す構造にした場合には、図6Bに示すように、リファレンス電位(ビット線B3の電位)はV_{bit}-V_{ftg}に近い飽和状態になる。

20

【0055】

さらに、図6Aに示す構造では、2個のMOSFETのうちビット線に接続されている方のMOSFETのゲートは、これら2個のMOSFETを接続する拡散層に接続されているが、2個のMOSFETのうちソース線に接続されている方のMOSFETのゲートを、これら2個のMOSFETを接続する拡散層に接続しても構わない。

【0056】

(第2の実施形態)

図9は、本発明の第2の実施形態に係る不揮発性半導体記憶装置の構成例を示す回路図である。

30

【0057】

図9において、MC20は不揮発性メモリセル、21はコントロールゲートドライバー、22はソースドライバー、CG0、CG1、CG2、CG3はコントロールゲート線である。

【0058】

不揮発性メモリセルMC20は、1ビット当たり2個のトランジスタ構造を有するメモリセルであり、この2個のトランジスタの一方は、フローティングゲートに相当する第1多結晶シリコンに対する電氣的接続を可能にした第1MOSFET(MC201)であり、他方は、フローティングゲートとコントロールゲートを有し、コントロールゲートドライバー21からのコントロールゲート線CG0の電位制御により動作し、フローティングゲートに蓄えられた電荷の大小あるいは正負によって情報を記憶する構造を有する第2MOSFET(MC202)である。

40

【0059】

次に、このように構成された不揮発性半導体記憶装置の消去動作および書き込み動作について、図10および図11を参照して説明する。図10および図11は、それぞれ、図9の不揮発性半導体記憶装置における、消去動作時および書き込み動作時の様子を模式的に示す断面図である。

【0060】

まず、図10に示す消去動作では、コントロールゲートドライバー21からコントロールゲート線CG0を介して、第2MOSFET(MC202)のコントロールゲート19に

50

-7 Vを印加し、Pウエル4に+8 Vを印加することで、FN (Fowler-Nordheim) 電流によってフローティングゲート182に蓄えられていた電子が、ゲート酸化膜62を通してPウエル4に抜き取られる(図中、矢印で示す)。

【0061】

このとき、ビット線13はオープン状態であるが、Pウエル4には正電圧である+8 Vが印加されているのでビット線13も+8 V近傍になり、第1MOSFET (MC201)のゲート酸化膜61に印加される電界はほぼゼロである。一方、Pウエルに+8 Vが印加されているために、第2MOSFET (MC202)のゲート酸化膜62に印加される電界が高くなる。しかし、第2MOSFET (MC202)のゲート電極181に+3 V程度を印加することで、第2MOSFET (MC202)のゲート酸化膜62に印加される電界を5 MV/cm程度にすることができる。これにより、第2MOSFET (MC202)のゲート酸化膜62が破壊あるいは顕著に劣化することがないように設定できる。なお、消去動作時には、ダミーセルを構成する第2MOSFET (TB0)のフローティングゲートには+3 Vが印加される。

【0062】

次に、図11に示す書き込み動作では、Pウエル4に-7 Vを印加しながら、コントロールゲートドライバ21からコントロールゲート線を介して、メモリセルを構成する第2MOSFETの選択コントロールゲートには+9 Vを印加し、一方、その非選択コントロールゲートには-3 Vを印加し、またソースドライバ22により選択ソース線に-7 Vを印加し、非選択ソース線に0 Vを印加することで、FN電流によってPウエル4からゲート酸化膜62を介してフローティングゲート182に電子を注入する。

【0063】

このとき、ビット線13はオープン状態であるが、ビット線13は-7 V近傍になるので、メモリセルを構成する第1MOSFETのゲート酸化膜61に印加される電界は低い。一方、メモリセルを構成する第2MOSFETのフローティングゲート181には0 Vを印加し、ゲート酸化膜61が破壊あるいは顕著に劣化することがないように設定する。なお、書き込み動作時には、ダミーセルを構成する第2MOSFET (TB0)のフローティングゲートには0 Vが印加される。

【0064】

以上のように、本実施形態によれば、第1の実施形態とは異なり、メモリセルが1ビット当たり2個のMOSFETを有する構造である場合でも、各ビット線に接続された2個のMOSFETは、不揮発性半導体記憶装置の消去動作、あるいは書き込み動作においても問題なく使用することができる。

【0065】

(第3の実施形態)

図15A、図15B、図15C、図15Dおよび図15Eは、本発明の第3の実施形態に係る不揮発性半導体記憶装置の製造方法を説明するための、各製造工程における半導体構造を示す断面図で、図16A、図16B、図16C、図16Dおよび図16Eは、それぞれ、図15A、図15B、図15C、図15Dおよび図15Eの、ダミーセルを構成する第1MOSFETが形成される位置に相当するA-A線に沿った断面図である。また、図17A、図17B、図17C、図17Dおよび図17Eは、それぞれ、図15A、図15B、図15C、図15Dおよび図15Eの、ダミーセルを構成する第2MOSFETが形成される位置に相当するB-B線に沿った断面図である。

【0066】

本実施形態では、第1の実施形態として図3および図4を用いて説明した不揮発性半導体記憶装置を製造する方法について説明する。

【0067】

まず、半導体基板にPウエル4と素子分離領域5を形成し、その上にゲート酸化膜6を形成した後、第1多結晶シリコン7を成長させる。その後、図4を用いて説明したように、第1多結晶シリコン7の開口領域15をメモリセルMC0だけでなく、ダミーセルを構成

する第1MOSFET (TA0) の素子分離領域5にも設けるようにするために、図15A、図16B、図17Aに示すレジスト31を形成して、その開口領域15における第1多結晶シリコン7をエッチングする(図16A参照)。このレジスト31を除去した後に、図15B、図16B、図17Bに示すように、容量絶縁膜8と第2多結晶シリコン9を成長させる。

【0068】

次に、図15C、図16C、図17Cに示すようにワード線を形成するためにレジスト32を形成して、図15Cに示すように第2多結晶シリコン9と容量絶縁膜8と第1の多結晶シリコン7をエッチングし、ソース、ドレインとなるN型拡散層を形成する。このとき、ダミーセルを構成する第1MOSFET (TA0) と第2MOSFET (TB0) においても、第1多結晶シリコン7と容量絶縁膜8と第2多結晶シリコン9をエッチングし、ソース、ドレインとなるN型拡散層を形成している。

【0069】

レジスト32を除去した後に、図15D、図17Dに示すように、レジスト33を形成して第2多結晶シリコン9をエッチングする。レジスト33は図4に示すような開口領域16a(図15D)と16b(図17d)を有する。次に、図15E、図17Eに示すサイドウォール11を形成し、層間膜を堆積した後、図15E、図16E、17Eに示すコンタクト17を形成して、タングステンおよびアルミで配線を形成する。

【0070】

図15Aから図15C、図16Aから図16C、図17Aから図17Cに示した工程では、メモリセルとダミーセルを構成する第1MOSFET (TA0) とは同じ構造であるが、第1MOSFET (TA0) は、図15D、図16Dに示すように、第2多結晶シリコン9をエッチングする工程のみが異なる。一方、メモリセルとダミーセルを構成する第2MOSFET (TB0) とは、図15A、図17Aに示すように、第1多結晶シリコン7をエッチングする工程、および図15D、図17Dに示すように、第2多結晶シリコン9をエッチングする工程が異なる。

【0071】

以上により、ダミーセルを構成する第1MOSFET (TA0) と第2MOSFET (TB0) は、不揮発性メモリセルと同じプロセスにより形成することができる。

【0072】

なお、図示はしていないが、図15D、図16Dに示す第2多結晶シリコン9のエッチング工程は、不揮発性半導体装置を動作させる周辺回路用の、MOS型半導体素子のゲート電極をエッチングする工程と兼用しても良い。

【0073】

【発明の効果】

以上説明したように、本発明によれば、不揮発性半導体記憶装置からデータを高速に読み出すために、差動センスアンプに必要なリファレンス電位を高精度且つ安定に発生させることが可能になる。

【図面の簡単な説明】

【図1】本発明の第1の実施形態に係る不揮発性半導体記憶装置の構成例を示す回路図 40

【図2A】図1に示す不揮発性半導体記憶装置の読み出し動作時におけるダミーセルの部分構成を示す回路図

【図2B】図2Aの構成におけるビット線電位の時間変化を示す図

【図3】図1の不揮発性半導体記憶装置における主要部分の構造を示す断面図

【図4】図1の不揮発性半導体記憶装置における主要部分の構造を示す平面図

【図5】第1の実施形態による不揮発性半導体記憶装置の読み出し動作時におけるダミーセルの第2の部分構成例を示す回路図

【図6A】第1の実施形態による不揮発性半導体記憶装置の読み出し動作時におけるダミーセルの第3の部分構成例を示す回路図

【図6B】図6Aの構成におけるビット線電位の時間変化を示す図 50

【図 7】第 1 の実施形態による不揮発性半導体記憶装置の読み出し動作時におけるダミーセルの第 4 の部分構成例を示す回路図

【図 8】第 1 の実施形態による不揮発性半導体記憶装置の読み出し動作時におけるダミーセルの第 5 の部分構成例を示す回路図

【図 9】本発明の第 2 の実施形態に係る不揮発性半導体記憶装置の構成例を示す回路図

【図 10】図 9 の不揮発性半導体記憶装置における消去動作時の様子を模式的に示す断面図

【図 11】図 9 の不揮発性半導体記憶装置における書き込み動作時の様子を模式的に示す断面図

【図 12】従来の不揮発性半導体記憶装置の構成例を示す回路図

【図 13】図 12 の不揮発性半導体記憶装置の読出し動作時におけるビット線電位の時間変化を示す図

【図 14 A】図 12 の不揮発性半導体記憶装置におけるダミーセル DM 3 の電流駆動能力を高く設定した場合の、読み出し動作時におけるビット線電位の時間変化を示す図

【図 14 B】図 12 の不揮発性半導体記憶装置におけるダミーセル DM 3 の電流駆動能力を低く設定した場合の、読み出し動作時におけるビット線電位の時間変化を示す図

【図 15 A】本発明の第 3 の実施形態に係る不揮発性半導体記憶装置の一製造工程における半導体構造を示す断面図

【図 15 B】本発明の第 3 の実施形態に係る不揮発性半導体記憶装置の一製造工程における半導体構造を示す断面図

【図 15 C】本発明の第 3 の実施形態に係る不揮発性半導体記憶装置の一製造工程における半導体構造を示す断面図

【図 15 D】本発明の第 3 の実施形態に係る不揮発性半導体記憶装置の一製造工程における半導体構造を示す断面図

【図 15 E】本発明の第 3 の実施形態に係る不揮発性半導体記憶装置の一製造工程における半導体構造を示す断面図

【図 16 A】図 15 A の不揮発性半導体記憶装置の A-A 線に沿った断面図

【図 16 B】図 15 B の不揮発性半導体記憶装置の A-A 線に沿った断面図

【図 16 C】図 15 C の不揮発性半導体記憶装置の A-A 線に沿った断面図

【図 16 D】図 15 D の不揮発性半導体記憶装置の A-A 線に沿った断面図

【図 16 E】図 15 E の不揮発性半導体記憶装置の A-A 線に沿った断面図

【図 17 A】図 15 A の不揮発性半導体記憶装置の B-B 線に沿った断面図

【図 17 B】図 15 B の不揮発性半導体記憶装置の B-B 線に沿った断面図

【図 17 C】図 15 C の不揮発性半導体記憶装置の B-B 線に沿った断面図

【図 17 D】図 15 D の不揮発性半導体記憶装置の B-B 線に沿った断面図

【図 17 E】図 15 E の不揮発性半導体記憶装置の B-B 線に沿った断面図

【符号の説明】

1 センスアンプ

2 ロウデコーダ

3 カラムデコーダ

4 P ウェル

5 素子分離領域

6 ゲート酸化膜

7 第 1 多結晶シリコン

8 容量絶縁膜

9 第 2 多結晶シリコン

10 N 型拡散層

11 サイドウォール

13 ビット線

14 拡散領域

10

20

30

40

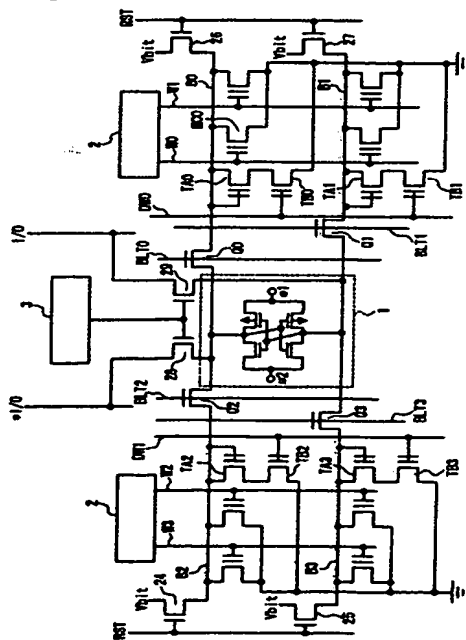
50

- 15 第1多結晶シリコン7の開口領域
 16 a、16 b 第2多結晶シリコン9の開口領域
 17 コンタクト
 18 フローティングゲート
 19 コントロールゲート
 21 コントロールゲートドライバ
 22 ソースドライバ
 24、25、26、27 プリチャージ用MOSトランジスタ
 28、29 カラムゲートMOSトランジスタ
 31、32、33 レジスト
 B0、B1、B2、B3 ビット線
 W0、W1、W2、W3 ワード線
 DM0、DM1、DM2、DM3 ダミーセル
 DW0、DW1 ダミーワード線
 MC0、MC20 読み出し対象のメモリセル
 MC201 メモリセル20を構成する第1MOSFET
 MC202 メモリセル20を構成する第2MOSFET
 Q0、Q1、Q2、Q3 ブロックトランジスタ
 TA0、TA1、TA2、TA3 ダミーセルを構成する第1MOSFET
 TB0、TB1、TB2、TB3 ダミーセルを構成する第2MOSFET

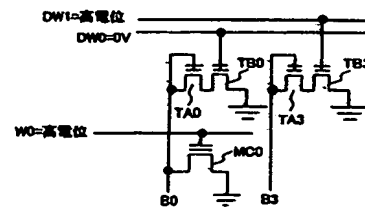
10

20

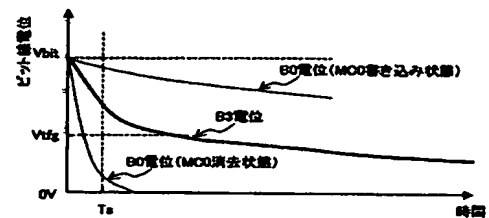
【図1】



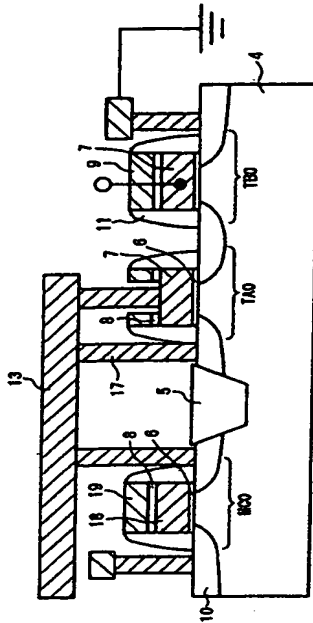
【図2A】



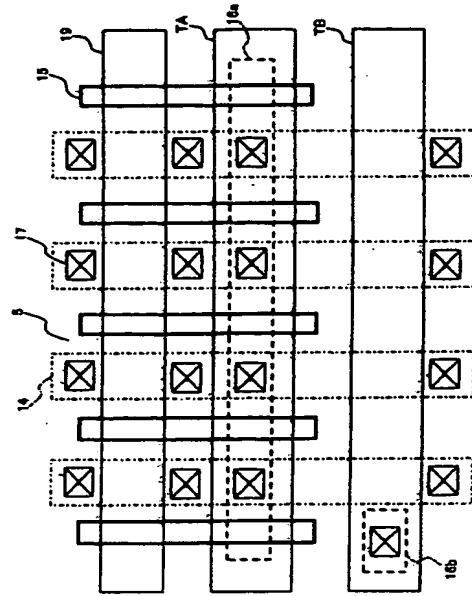
【図2B】



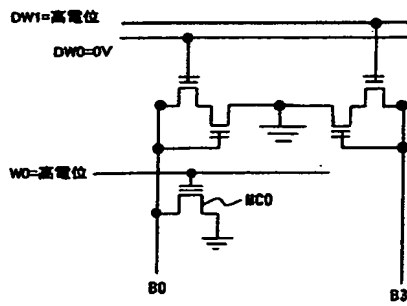
【図 3】



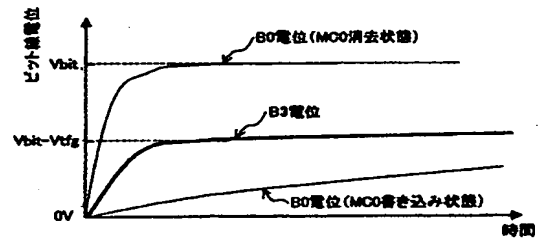
【図 4】



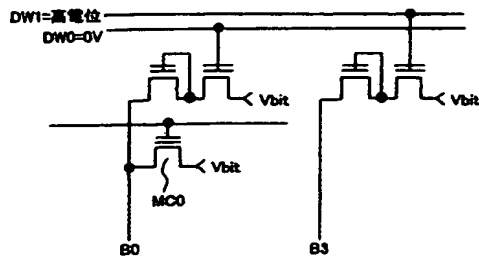
【図 5】



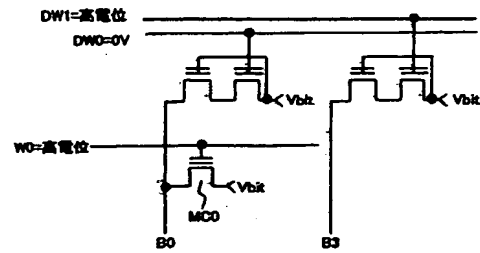
【図 6 B】



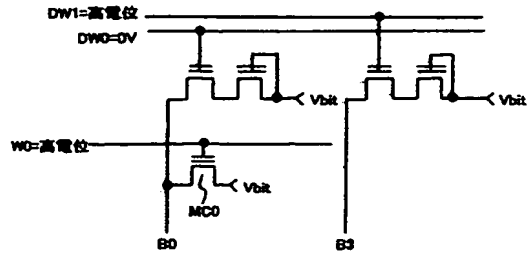
【図 6 A】



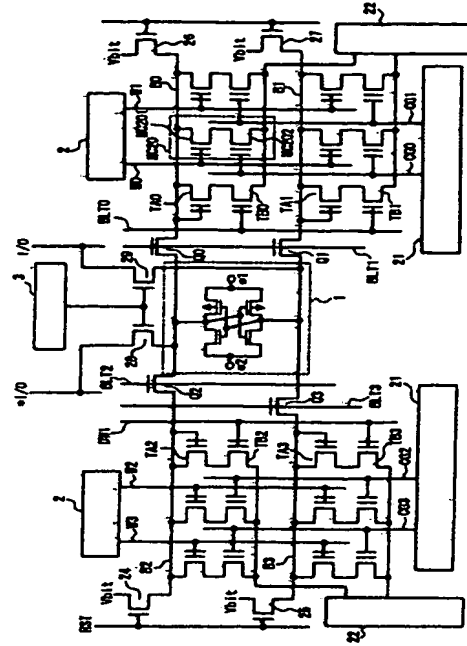
【図 7】



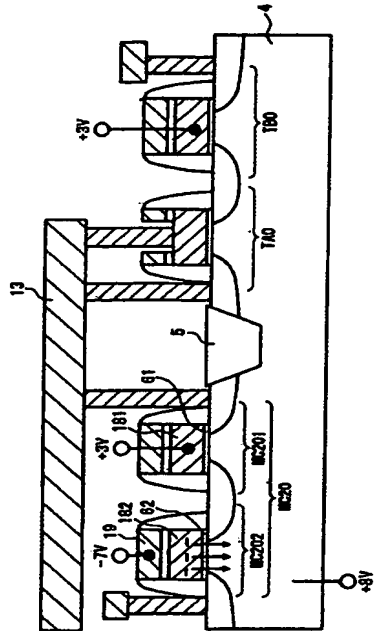
【図 8】



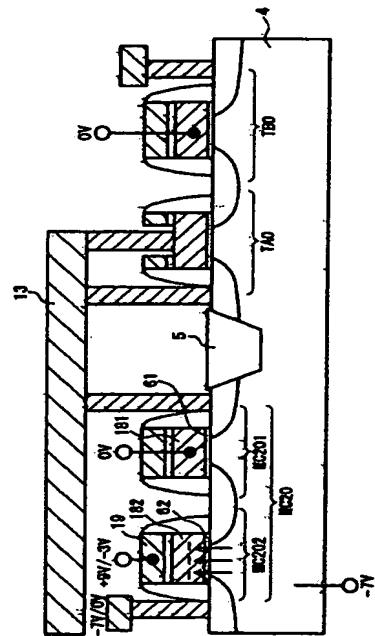
【図 9】



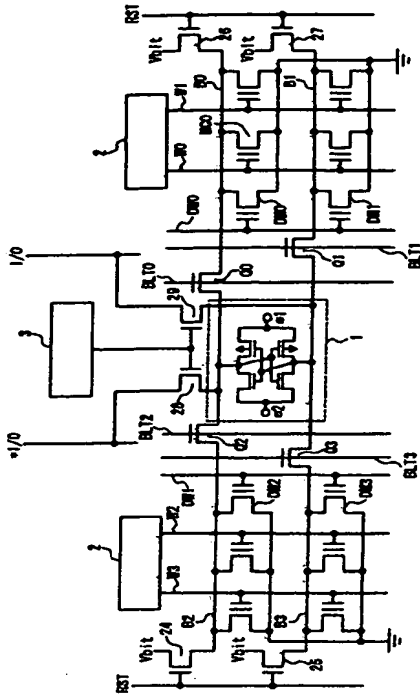
【図 10】



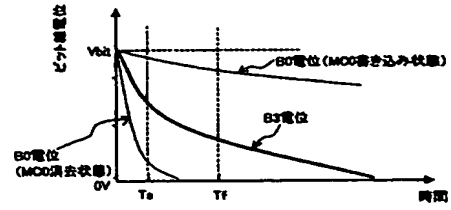
【図 11】



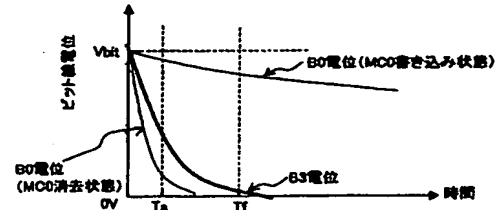
【図 1 2】



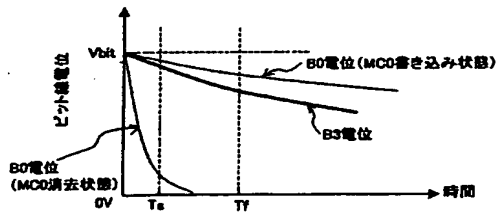
【図 1 3】



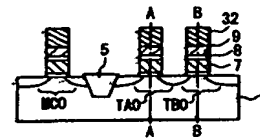
【図 1 4 A】



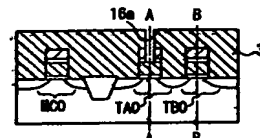
【図 1 4 B】



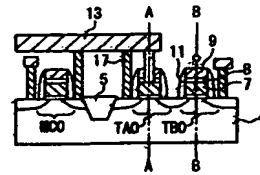
【図 1 5 C】



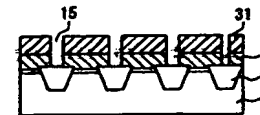
【図 1 5 D】



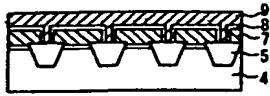
【図 1 5 E】



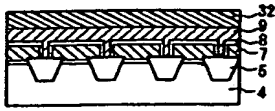
【図 1 6 A】



【図 16 B】



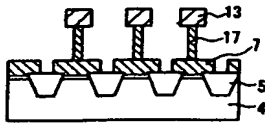
【図 16 C】



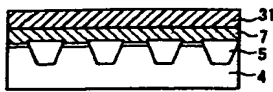
【図 16 D】



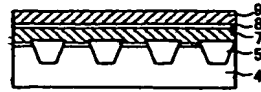
【図 16 E】



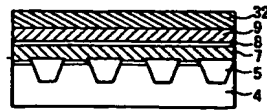
【図 17 A】



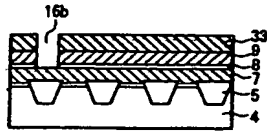
【図 17 B】



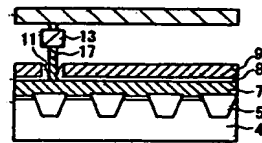
【図 17 C】



【図 17 D】



【図 17 E】



フロントページの続き

(51)Int.Cl. 7

F I

テーマコード (参考)

H 0 1 L 27/115

G 1 1 C 17/00 6 3 4 E

H 0 1 L 29/788

G 1 1 C 17/00 6 1 1 E

H 0 1 L 29/792

G 1 1 C 17/00 6 1 2 E

Fターム(参考) 5F101 BA01 BB05 BC02 BD24 BD36 BE02 BE05 BE07 BH21